

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 08 月 12 日
Application Date

申請案號：091118112
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 2 月 10 日
Issue Date

發文字號：09220104110
Serial No.

申請日期	91. 8. 12
案 號	91118112
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	資料回復系統及其方法
	英 文	
二、發明 創作人	姓 名	呂昭信、張義樹、童旭榮、謝光熙
	國 籍	中華民國
三、申請人	住、居所	桃園縣大園鄉五權村大埔 13 鄰 9-21 號 台南市西區中正里正興街 61 巷 14 號 高雄市楠梓區美昌街 97 號 台北市忠孝東路 4 段 216 巷 29 號 7 樓之 4
	姓 名 (名稱)	瑞昱半導體股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區 30077 工業東九路 2 號
	代 表 人 姓 名	葉博任

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☒無主張優先權

無

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：資料回復系統及其方法）

本發明係有關一種資料回復之系統及方法，其包含一過取樣電路、一相位偵測電路、一資料選取電路、一資料重疊/略過偵測電路、以及一資料更正電路，該過取樣電路以 n 倍頻率對輸入訊號進行過取樣；該相位偵測電路接收該過取樣電路所取樣之過取樣訊號，配合上次最後一筆過取樣訊號以進行相位偵測；該資料選取電路接收該相位偵測電路所測得的相位訊號，以將該過取樣過取樣訊號分成 n 組並選取一組 m 位元資料作輸出；該資料重疊/略過偵測電路根據該相位訊號與上次相位訊號之關係，以決定是否有資料重疊/略過的情形；該資料更正電路係在有資料重疊/略過時，將資料予以更正。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明(1)

【本發明之領域】

本發明係關於一種資料回復系統及方法，尤指一種在序列傳輸中資料回復之系統及方法。

【本發明之背景】

於高速序列傳輸中，在對序列資料(serial data)進行取樣時會產生時脈歪斜(clock skew)的問題，其主要原因在於用來決定取樣時間的相位(phase)的恢復時脈(recovered clock)與被取樣的序列資料不同相位，一種直接的解決方法即對被取樣的序列資料進行過取樣(Over Sampling)，藉由提高取樣頻率來避免可能產生之時脈歪斜。在美國專利第5,905,769號案即提出一種基於過取樣以解決對序列資料進行取樣時所產生之時脈歪斜的問題，其係以運用上一資料窗的相位訊號，來對此次取樣資料窗的資料進行修正，然而此種運用上一資料窗的相位訊號來對此次取樣資料窗的資料進行修正時，會有無法及時修正的問題，尤其是當時脈歪斜造成的相位變化僅出現在此次取樣資料窗時，依據上一資料窗的相位訊號來對此次取樣資料窗的資料位進行修正，不僅無法及時修正，同時亦容易導致錯誤的結果，故習知用以解決時脈歪斜之技術實有予以改進之必要。

發明人爰因於此，本於積極發明之精神，亟思一種可以解決上述問題之「資料回復系統及其方法」，幾經研究實驗終至完成此項發明。

五、發明說明(2)

【本發明之概述】

本發明之主要目的係在提供一種資料回復之系統及其方法，可即時解決時脈歪斜的問題。

本發明之另一目的係在序列傳輸中，可即時修正時脈歪斜的問題。

為達成上述之目的，本發明之資料回復之系統包括：一過取樣電路，其以 n 倍頻率對輸入訊號進行過取樣；一相位偵測電路，其接收該過取樣電路所取樣之一過取樣訊號，配合上次最後一筆過取樣訊號以進行相位偵測；一資料選取電路，接收該相位偵測電路所測得的一相位訊號，將該過取樣訊號分成 n 組並選取一組 m 位元資料作輸出；一資料重疊/略過偵測電路，係根據該相位訊號與上次相位訊號之關係，以決定是否有資料重疊/略過的情形；以及一資料更正電路，係在有資料重疊/略過時，將資料予以更正。

為達成上述之目的，本發明之一種資料回復方法包括以下步驟：

(A)過取樣步驟，以 n 倍頻率對所接收之一資料訊號進行過取樣，並產生一一連串過取樣訊號；

(B)萃取步驟，將該一連串過取樣訊號，取出一 $nk+1$ 位元過取樣訊號；

(C)變遷偵測步驟，用以偵測該 $nk+1$ 位元過取樣訊號之 nk 個變遷，並輸出一 nk 個變遷訊號；

五、發明說明 (3)

(D)選擇步驟，係將該等變遷訊號分為 n 組，選擇具有最多變遷之一組，輸出一相位訊號；

(E)資料選取步驟，將該一連串過取樣訊號分成 n 組輸出資料，並依據該相位訊號，選取並輸出其中一組 m 位元輸出資料；

(F)重疊/略過偵測步驟，接收該相位訊號，配合上次的相位訊號，輸出一狀態訊號；以及

(G)資料更正步驟，由該組 m 位元輸出資料和該上筆一連串過取樣訊號之最後一筆過取樣訊號中，依據該狀態訊號以選取 $m+1$ 或 m 或 $m-1$ 位元資料來進行資料更正，俾輸出一 m 位元正確資料。

由於本發明構造新穎，能提供產業上利用，且確有增進功效，故依法申請發明專利。

為使 貴審查委員能進一步瞭解本發明之結構、特徵及其目的，茲附以圖示及較佳具體實施例之詳細說明如后：

【圖式簡單說明】

第1圖係本發明之方塊圖。

第2圖係本發明之過取樣電路的取樣時序圖。

第3圖係本發明之相位偵測電路的電路圖。

第4圖係本發明之最佳資料選擇點的示意圖。

第5圖係本發明之資料選取電路的電路圖。

第6圖係本發明所產生資料重疊的示意圖。

五、發明說明 (4)

第7圖係本發明所產生資料略過的示意圖。

第8圖係本發明資料重疊/略過偵測電路之虛擬碼。

第9圖係本發明資料更正電路之虛擬碼。

第10圖係本發明之資料回復方法的一流程圖。

【圖號說明】

過取樣電路	10	相位偵測電路	20
資料選取電路	30		
資料重疊/略過偵測電路			40
資料更正電路	50	變遷偵測器	21
計數單位	22	加法器	221、222
加法器	223	最大值選擇器	225

【較佳具體實施例之詳細說明】

有關本發明之資料回復系統的一較佳實施例，敬請參照第1圖所示之方塊圖，其包含一過取樣電路(OverSampler)10、一相位偵測電路(Phase Detect Circuit)20、一資料選取電路(Data Picking Circuit)30、一資料重疊/略過偵測電路(Data Overlap/Skip Detect Circuit)40、以及一資料更正電路(Data Correction Circuit)50。其中，該過取樣電路10係將輸入訊號做多倍頻的取樣，並以複數個輸入訊號為一單位，輸出其過取樣訊號，於本實施例中，係以將輸入訊號做三倍頻取樣並以10位元輸入訊為一單位，為例說

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (5)

明，，且在過取樣訊號累積到30筆後，故得到30筆的過取樣訊號，一次同時輸出至相位偵測電路20及資料選取電路30。

相位偵測電路20接收30筆過取樣訊號後，配合內部所保留的上次最後一筆過取樣訊號以進行相位偵測，並將得到的相位送到資料選取電路30和資料重疊/略過偵測電路40，資料選取電路30依相位偵測電路20所測得的相位，將該30筆過取樣訊號分成三組並選取一組最合宜的10位元資料以輸出到資料更正電路50中，資料重疊/略過偵測電路40接收相位偵測電路20所輸出之相位，配合上次的相位，決定是否有資料重疊或是資料略過的情形，並將判斷後的結果送至資料更正電路50，資料更正電路50依據有無資料重疊或是資料略過的情形，決定由資料選取電路30所輸出的10位元資料和上次最後一筆之過取樣訊號共11位元的資料中，選取11或10或9位元資料來進行資料更正，俾輸出一10位元的正確資料。

在第2圖所顯示之時序圖中，過取樣電路10係規律地將輸入訊號以三倍頻的取樣頻率進行取樣，以得到30筆的過取樣訊號 $S[29:0]$ ，其中 S_{29} 係最先被取樣而 S_0 係最後被取樣， S_0' 係上筆一10位元輸入訊號之最後一筆被取樣的過取樣訊號，而 S_{29}'' 係下筆一10位元輸入訊號之第一筆被取樣的過取樣訊號，而過取樣電路10係在過取樣過取樣訊號累積到30筆後，一次同時將之輸出至相位偵測電路20及資料選取電路30。

五、發明說明 (6)

第3圖顯示前述相位偵測電路20之電路結構，主要係由一變遷偵測器(Transition Dectector)21及一計數單位(Tally)22所組成，變化偵測器21包含30個XOR閘，藉由此等XOR閘，輸入之30筆過取樣訊號 $S[29:0]$ 及前次的最後一個過取樣訊號 S_0' 之兩兩相鄰者互相作互斥或運算以偵測出變遷(Transition)，而 $S[29:0]$ 及 S_0' 共31筆資料可測出30筆變遷，分別編號為 $PA[9:0]$ 、 $PB[9:0]$ 、以及 $PC[9:0]$ ，其中， $PA_n = S_{3n+2} \oplus S_{3n}$ ， $PB_n = S_{3n+1} \oplus S_{3n+2}$ ， $PC_n = S_{3n} \oplus S_{3n+1}$ ，當中 $n=0\sim9$ ，亦即當 PC_n 為"1"時，表示 S_{3n} 和 S_{3n+1} 之間有變遷，當 PB_n 為"1"時，表示 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1})之間有變遷，當 PA_n 為"1"時，表示 S_{3n+2} (或 S_{3n-1})和 S_{3n} 之間有變遷。

計數單位22之功能為選擇具有最多變遷之一組，而輸出對應之相位訊號。其一實施例為具有一最大值選擇器225及三組加法器221,222及223，其將30筆變遷分為 $PA[9:0]$ 、 $PB[9:0]$ 、以及 $PC[9:0]$ 三組個別相加，亦即加法器221對 $PA_9\sim PA_0$ 進行加法運算而得到SumA訊號，加法器222對 $PB_9\sim PB_0$ 進行加法運算而得到SumB訊號，加法器223對 $PC_9\sim PC_0$ 進行加法運算而得到SumC訊號，俾用以判別資料由0變為1及由1變為0發生的時機，SumA訊號之值即為 S_{3n+2} (或 S_{3n-1})和 S_{3n} 之間有變遷次數總和，SumB訊號之值即為 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1})之間有變遷次數總和，SumC訊號之值即為 S_{3n} 和 S_{3n+1} 之間有變遷次數總和，最大值選擇器225從前述之三個加法器221,222及

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(7)

223之輸出值中選出一與最大值相關的相位訊號，例如，當SumA訊號之值為最大時，輸出之相位訊號為相位A(Phase A)，當SumB訊號之值為最大時，輸出之相位訊號為相位B(Phase B)，當SumC訊號之值為最大時，輸出之相位訊號為相位C(Phase C)。

比較SumA、SumB、以及SumC訊號之值，如果SumA訊號之值最大，即該相位訊號為相位A(Phase A)時，則表示資料在 S_{3n+2} (或 S_{3n-1})和 S_{3n} 之間變遷次數最多，如第4圖中A處所顯示，為了能選擇一穩定且正確之資料，選擇點應離變遷越遠越好，因此應該選擇 S_{3n+1} 當作正確的資料，亦即第4圖中B處為最佳資料選擇點；同樣地，如果SumB訊號之值最大，即該相位訊號為相位B(Phase B)時，則表示資料在 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1})之間變遷次數最多，因此應該選擇 S_{3n} 當作正確的資料；如果SumC訊號之值最大，即該相位訊號為相位C(Phase C)時，則表示資料在 S_{3n} 和 S_{3n+1} 之間變遷次數最多，因此應該選擇 S_{3n+2} 當作正確的資料。

該最大值選擇器225之一實施例為包含三個比較器，該等比較器分別比較SumA、SumB以及SumC三者中任兩者之大小關係，即獲得(SumA, SumB)、(SumB, SumC)以及(SumC, SumA)之大小關係，即得知SumA、SumB以及SumC之中何者最大。

第5圖顯示該資料選取電路30之結構，其將該30筆過取樣過取樣訊號分成 $S_{3n+2} = \{S_{29}, S_{26}, \dots, S_2\}$ 、

五、發明說明(8)

$S_{3n+1}=\{S28, S25, \dots, S1\}$ 、以及 $S_{3n}=\{S27, S24, \dots, S0\}$ 等三組訊號，依相位偵測電路20所輸出之相位訊號，將該三組訊號選取一組最合宜的訊號作為資料 $dat[9:0]$ 輸出，若相位偵測電路20所輸出之相位訊號為 Phase A 時，資料 $dat[9:0]$ 為 $S_{3n+1}=\{S28, S25, \dots, S1\}$ ，亦 $dat9=S28$ 、 $dat8=S25$ 、... $dat0=S1$ ；若相位偵測電路20所輸出之相位訊號為 Phase B 時，資料 $dat[9:0]$ 則為 $S_{3n}=\{S27, S24, \dots, S0\}$ ；若相位偵測電路20所輸出之相位訊號為 Phase C 時，資料 $dat[9:0]$ 則為 $S_{3n+2}=\{S29, S26, \dots, S2\}$ 。

雖然本發明之過取樣電路10將輸入訊號永遠以三倍頻之頻率取樣規律地進行取樣，然而經由傳輸通道或纜線的輸入訊號會有遲延或超前的現象，此種現象會產生資料重疊或是資料略過的問題，為了方便說明資料重疊或是資料略過的問題，假設輸入訊號係以3位元為一單位，並將3位元資料定義為一資料窗(Data Window, DW)，第六圖係用來說明資料重疊所產生之問題，在第1資料窗中，相位訊號為 Phase A，故 S_{3n+2} (或 S_{3n-1}) 和 S_{3n} 之間變遷次數最多，如第6圖中A處所顯示，因本實施例係以固定3倍頻取樣，故最佳資料選擇點應為離A處的平均距離最遠的取樣點，亦即在第6圖之B處；

在第2資料窗中，相位訊號為 Phase B，故 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1}) 之間變遷次數最多，如第6圖中C處所顯示，而最佳資料選擇點為第6圖之D處；在第3資料窗中，

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (9)

相位訊號為Phase C，故 S_{3n} 和 S_{3n+1} 之間變遷次數最多，如第6圖中E處所顯示，其最佳資料選擇點如第6圖中F處所示，在第6圖中T1、T2之過取樣訊號，根據前述之相位偵測電路20及資料選取電路30，其均會被當成正確之資料而輸出，然而該T1、T2之過取樣訊號係相對於資料DATA_OL，故資料DATA_OL會被輸出兩次，而產生資料重疊的問題。

同樣地，在第7圖係來說明資料略過所產生之問題，在第1資料窗中，相位訊號為Phase A，故 S_{3n+2} (或 S_{3n-1})和 S_{3n} 之間變遷次數最多，如第7圖中A處所顯示，而最佳資料選擇點為離A處的平均距離最遠的取樣點，亦即在第7圖之B處；

在第2資料窗中，相位訊號為Phase C，故 S_{3n} 和 S_{3n+1} 之間變遷次數最多，如第7圖之G處所顯示，而最佳資料選擇點為在第7圖之H處；在第3資料窗中，相位訊號為Phase B，故 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1})之間變遷次數最多，如第7圖中I處所顯示，其最佳資料選擇點為第7圖之J處，在第7圖中之資料DATA_SK之過取樣訊號會在T3、T4被取樣，但根據前述之相位偵測電路20及資料選取電路30，其不會被輸出，故資料DATA_SK會被忽略掉，而產生資料略過的問題。

為了解決前述之資料重疊/略過的問題，資料重疊/略過偵測電路40接收相位偵測電路20所輸出之相位訊號，配合上一個資料窗中的相位訊號，判斷資料選取電路30選

五、發明說明 (10)

取資料時是否有資料重疊、資料略過、或是二者皆沒發生的情形，並將判斷後的狀態訊號(Status)輸出至資料更正電路50，若本次資料窗中的相位訊號為相位B(Phase B)，而上一個資料窗中的相位訊號為相位C(Phase C)，則為第6圖的情況，亦即有資料重疊的問題，此時狀態訊號(Status)為Overlap，若本次資料窗中的相位訊號為相位C(Phase C)而上一個資料窗中的相位訊號為相位B(Phase B)，則為第7圖的情況，亦即有資料略過的問題，此時狀態(Status)為Skip，若非為上述兩種情形，狀態(Status)則為Normal。資料重疊/略過偵測電路40可由第8圖之虛擬碼(Pseudo Code)經由例如Verilog或VHDL之硬體描述語言(Hardware Description Language, HDL)所實現。

資料更正電路50依據資料重疊/略過偵測電路40輸之狀態(Status)，以決定由資料選取電路30所輸出的10位元資料和上次最後一筆過取樣訊號S0'中，選取11或10或9位元來進行資料更正，最後該資料更正電路50恆輸出10位元的正確資料，其中，當狀態為Overlap時，如第6圖所示，資料更正電路50保留上一個資料窗中解出的資料，而因為dat9已經在前一筆資料出現，故此次資料窗中解出的資料只使用9個資料dat[8:0]，依先後順序輸入一先進先出單位(First In First Out, FIFO)中；當狀態為Skip時，如第7圖所示，資料更正電路50保留上一個資料窗中解出的資料，而這次資料窗中解出的資料使用10個資料

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(11)

dat[9:0]，再加上前一資料窗中最後一筆的過取樣訊號S0'，並將兩組資料共11筆資料依先後順序輸入一先進先出單位中；當狀態為Normal時，則將資料更正電路50保留上一個資料窗中解出的資料，而此次資料窗中解出的資料使用10個資料dat[9:0]，依先後順序輸入一先進先出裝置中；最後該先進先出裝置依序輸出10位元正確資料data[9:0]。

該資料更正電路50可由第9圖之虛擬碼(Pseudo Code)經由例如Verilog或VHDL之硬體描述語言所實現。

第10圖進一步顯示本發明之資料回復方法的流程圖，首先，於步驟S301輸入一輸入序列訊號；於步驟S302中(過取樣步驟)，係規律地將輸入序列訊號以三倍頻的取樣頻率進行取樣，以得到30筆的過取樣訊號S[29:0]；於步驟S303中(萃取步驟)，將該一連串過取樣訊號，取出一30+1位元過取樣訊號，該30+1位元過取樣訊號係過取樣訊號S[29:0]及前次的最後一個過取樣訊號S0'。

於步驟S304中(變遷偵測步驟)，用以偵測該30+1位元過取樣訊號之30個變遷，過取樣訊號S[29:0]及前次的最後一個過取樣訊號S0'之兩兩相鄰者互相作互斥或運算以偵測出變遷，並輸出一30個變遷訊號並將該等變遷訊號分為3組PA[9:0]、PB[9:0]以及PC[9:0]變遷訊號，其中， $PA_n = S_{3n+2} \oplus S_{3n}$ ， $PB_n = S_{3n+1} \oplus S_{3n+2}$ ， $PC_n = S_{3n} \oplus S_{3n+1}$ ，當中 $n=0\sim9$ ，亦即當PCn為"1"時，表示

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (12)

S_{3n} 和 S_{3n+1} 之間有變遷，當 PB_n 為 "1" 時，表示 S_{3n+1} 和 S_{3n+2} (或 S_{3n-1}) 之間有變遷，當 PA_n 為 "1" 時，表示 S_{3n+2} (或 S_{3n-1}) 和 S_{3n} 之間有變遷。

於步驟 S305 中 (選擇步驟)，係由該等 3 組變遷訊號 $PA[9:0]$ 、 $PB[9:0]$ 以及 $PC[9:0]$ 中，選擇具有最多變遷之一組，輸出一相關之相位訊號，亦即對 $PA_9 \sim PA_0$ 進行加法運算而得到 SumA 訊號，對 $PB_9 \sim PB_0$ 進行加法運算而得到 SumB 訊號，對 $PC_9 \sim PC_0$ 進行加法運算而得到 SumC 訊號，從前述之三個加法運算之結果 SumA、SumB 以及 SumC 中選出一最大值以及與該最大值相關的相位訊號，例如，當 SumA 訊號之值為最大時，輸出之相位訊號為相位 A (Phase A)，當 SumB 訊號之值為最大時，輸出之相位訊號為相位 B (Phase B)，當 SumC 訊號之值為最大時，輸出之相位訊號為相位 C (Phase C)。

於步驟 S306 中 (資料選取步驟)，將該 30 筆過取樣過取樣訊號分成 3 組輸出資料 $S_{3n+2} = \{S_{29}, S_{26}, \dots, S_2\}$ 、 $S_{3n+1} = \{S_{28}, S_{25}, \dots, S_1\}$ 、以及 $S_{3n} = \{S_{27}, S_{24}, \dots, S_0\}$ 等三組訊號，並依據於步驟 S305 中輸出之該相位訊號，將該三組訊號選取一組最合宜的訊號作為 10 位元資料 $dat[9:0]$ 輸出，若步驟 S305 中輸出之該相位訊號為 Phase A 時，資料 $dat[9:0]$ 為 $S_{3n+1} = \{S_{28}, S_{25}, \dots, S_1\}$ ，亦 $dat_9 = S_{28}$ 、 $dat_8 = S_{25}$ 、... $dat_0 = S_1$ ；若相位偵測電路 20 所輸出之相位訊號為 Phase B 時，資料 $dat[9:0]$ 則為 $S_{3n} = \{S_{27}, S_{24}, \dots, S_0\}$ ；若相位偵測電路 20 所輸出之相

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (13)

位訊號為 Phase C 時，資料 $\text{dat}[9:0]$ 則為 $S_{3n+2} = \{S_{29}, S_{26}, \dots, S_2\}$ 。

於步驟 S307 中(重疊/略過偵測步驟)，接收步驟 S305 中輸出之該相位訊號，配合上一個資料窗中的相位訊號，若本次資料窗中的相位訊號為相位 B(Phase B)，而上一個資料窗中的相位訊號為相位 C(Phase C)，即有資料重疊的問題，此時狀態訊號(Status)為 Overlap，若本次資料窗中的相位訊號為相位 C(Phase C)而上一個資料窗中的相位訊號為相位 B(Phase B)，即有資料略過的問題，此時狀態(Status)為 Skip，若非為上述兩種情形，狀態訊號(Status)則為 Normal。

於步驟 S308 中(資料更正步驟)，由該組 10 位元輸出資料和該上筆一連串過取樣訊號之最後一筆過取樣訊號中，依據步驟 S307 中輸出之該狀態訊號以選取 $10+1$ 或 10 或 $10-1$ 位元資料來進行資料更正，俾輸出一 10 位元正確資料 $\text{data}[9:0]$ 。

由以上之說明可知，本發明可解決時脈歪斜的問題。

綜上所陳，本發明無論就目的、手段及功效，在在均顯示其迥異於習知技術之特徵，實為一極具實用價值之發明，應符合發明專利之申請要件。惟應注意的是，上述實施例係為了便於說明而已，本發明所主張之權利範圍非僅限於上述實施例，而凡與本發明有關之技術構想，均屬於本發明之範疇。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種資料回復系統，主要包括：

一過取樣電路，其以 n 倍頻率對一輸入訊號進行過取樣；

一相位偵測電路，其接收該過取樣電路所取樣之過取樣訊號，配合上次最後一筆過取樣訊號以進行相位偵測；以及

一資料選取電路，接收該相位偵測電路所測得的相位訊號，將該過取樣過取樣訊號分成 n 組並選取一組 m 位元資料作輸出。

2. 如申請專利範圍第1項所述之系統，其更包含：

一資料重疊/略過偵測電路，接收該相位偵測電路所輸出之相位訊號，配合上次的相位訊號，決定是否有資料重疊或是資料略過的情形並輸出一相關之狀態訊號；以及

一資料更正電路，由資料選取電路所輸出的 m 位元資料和上次最後一筆過取樣訊號中，依據資料重疊/略過偵測電路輸出之狀態訊號以選取 $m+1$ 或 m 或 $m-1$ 位元資料來進行資料更正，俾輸出一 m 位元正確資料。

3. 如申請專利範圍第1或2項所述之系統，其中，該相位偵測電路包括：

一變遷偵測器，用以偵測該取樣之過取樣訊號與上次最後一筆過取樣訊號之複數個變遷；以及

一計數單位，係將該等變遷分為 n 組，選擇具有最多變遷之一組，而輸出對應之相位訊號。

六、申請專利範圍

4. 如申請專利範圍第3項所述之系統，其中，該變遷偵測器包括複數個XOR閘，以將輸入之過取樣過取樣訊號及前次的最後一個過取樣過取樣訊號之兩兩相鄰者互相作互斥或運算以偵測出變遷。

5. 如申請專利範圍第3項所述之系統，其中，該計數單位具有：

n組加法器，其將該等變遷分為n組個別相加，以產生n組加總值；以及

一最大值選擇器，係由前述之n組加總值中選出一與最大值相關的相位訊號以輸出之。

6. 如申請專利範圍第5項所述之系統，其中，該最大值選擇器包含三個比較器。

7. 如申請專利範圍第1或2項所述之系統，其中，該資料選取電路為一多工選擇器。

8. 如申請專利範圍第2項所述之系統，其中，該資料重疊/略過偵測電路輸出重疊、略過及正常狀態訊號以分別代表有資料重疊、有資料略過及無資料重疊與略過之情形。

9. 如申請專利範圍第2項所述之系統，其中，該資料更正電路內含一先進先出緩衝單位，並依據該狀態訊號以選取m+1或m或m-1位元資料輸入至該先進先出緩衝單位，而該先進先出緩衝單位輸出該m位元正確資料。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

10. 如申請專利範圍第9項所述之系統，其中，當該狀態訊號為一重疊狀態訊號時，該先進先出緩衝單位接受該 $m-1$ 位元資料。

11. 如申請專利範圍第9項所述之系統，其中，當該狀態訊號為一略過狀態訊號時，該先進先出緩衝單位接受該 $m+1$ 位元資料。

12. 如申請專利範圍第9項所述之系統，其中，當該狀態訊號為一正常狀態訊號時，該先進先出緩衝單位接受該 m 位元資料。

13. 一種資料回復方法，該方法包含以下步驟：

(A) 過取樣步驟，以 n 倍頻率對所接收之一資料訊號進行過取樣，並產生一一連串過取樣訊號；

(B) 萃取步驟，將該一連串過取樣訊號，取出一 $nk+1$ 位元過取樣訊號；

(C) 變遷偵測步驟，用以偵測該 $nk+1$ 位元過取樣訊號之 nk 個變遷，將該等變遷訊號分為 n 組並輸出該 n 組變遷訊號；

(D) 選擇步驟，選擇具有最多變遷之一組，輸出一相位訊號；以及

(E) 資料選取步驟，將該一連串過取樣訊號分成 n 組輸出資料，並依據該相位訊號，選取並輸出其中一組 m 位元輸出資料。

14. 如申請專利範圍第13項所述之方法，其更包含：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

(F) 重疊/略過偵測步驟，接收該相位訊號，配合上次的相位訊號，輸出一狀態訊號；以及

(G) 資料更正步驟，由該組 m 位元輸出資料和該上筆一連串過取樣訊號之最後一筆過取樣訊號中，依據該狀態訊號以選取 $m+1$ 或 m 或 $m-1$ 位元資料來進行資料更正，俾輸出一 m 位元正確資料。

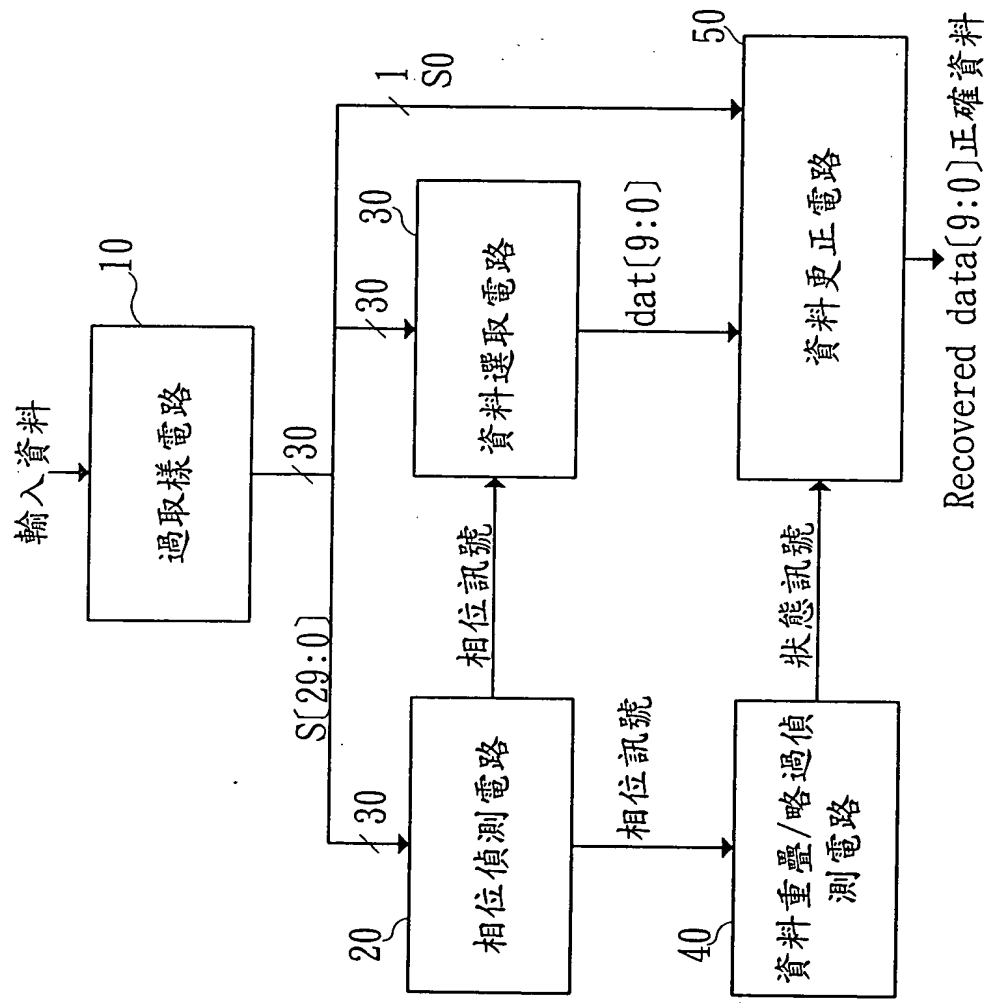
15. 如申請專利範圍第14項所述之方法，其中，該重疊/略過偵測步驟中，該狀態訊號可顯示出有資料重疊、有資料略過及資料正常之情形。

16. 如申請專利範圍第14項所述之方法，其中，並依據該狀態訊號以選取 $m+1$ 或 m 或 $m-1$ 位元資料輸入至一先進先出緩衝單位，而該先進先出緩衝單位輸出該 m 位元正確資料。

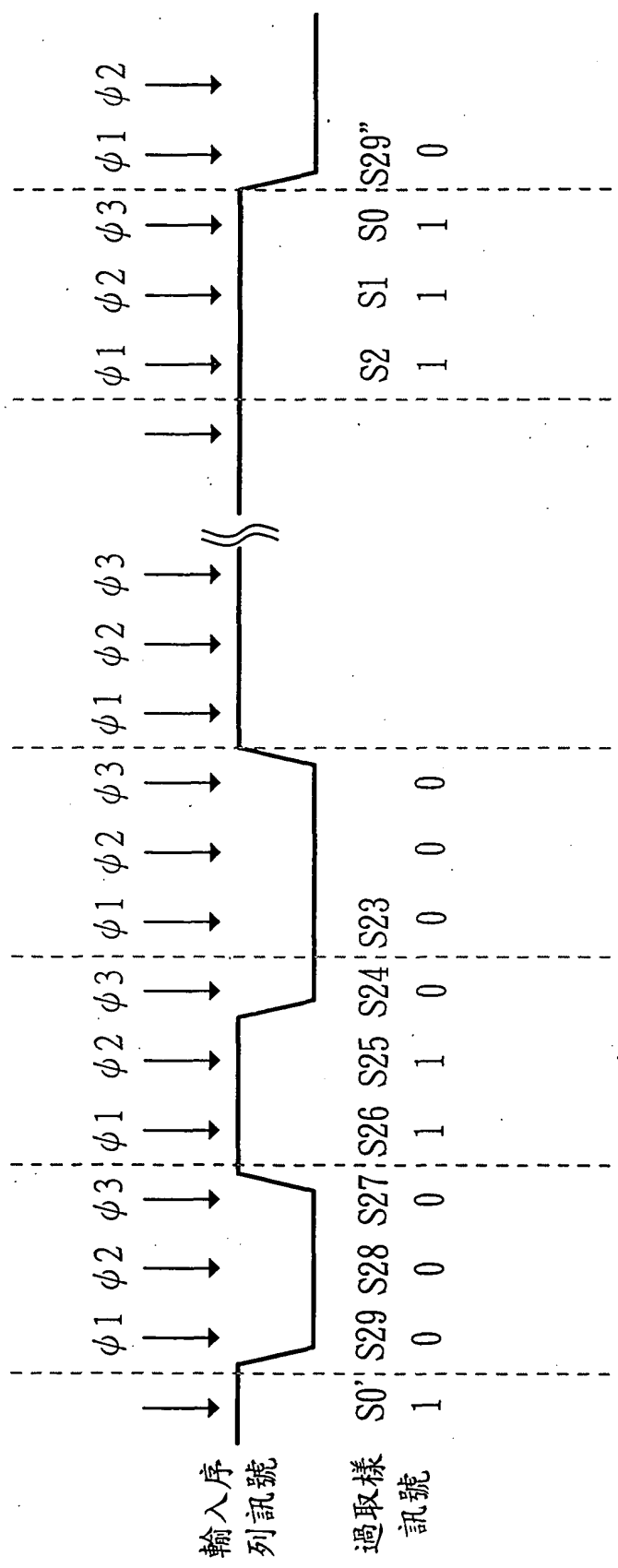
17. 如申請專利範圍第16項所述之方法，其中，該狀態訊號為一重疊訊號時，該先進先出緩衝單位接受該 $m-1$ 位元資料。

18. 如申請專利範圍第16項所述之方法，其中，該狀態訊號為一略過訊號時，該先進先出緩衝單位接受該 $m+1$ 位元資料。

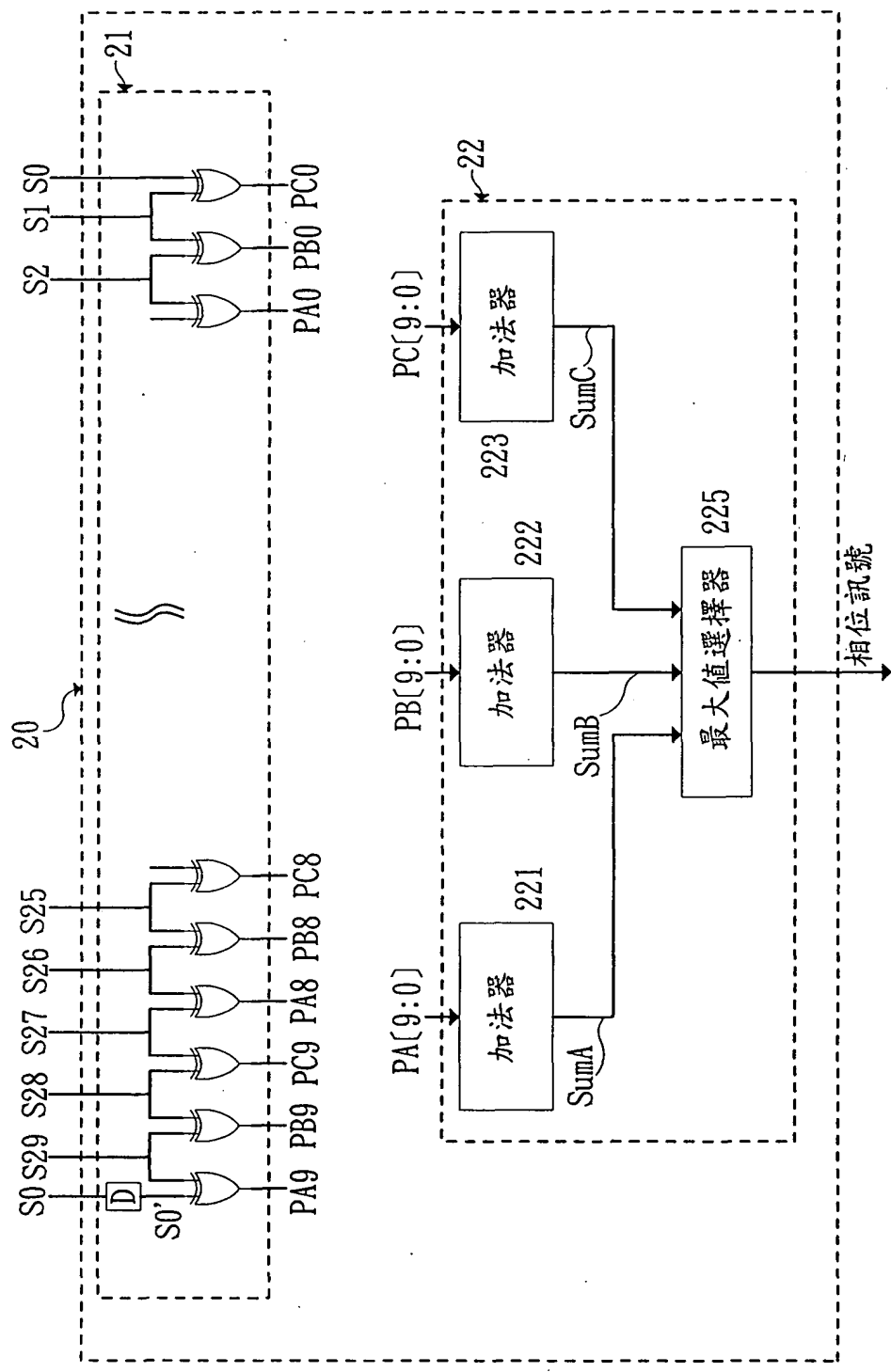
19. 如申請專利範圍第16項所述之方法，其中，該狀態訊號為一正常訊號時，該先進先出緩衝單位接受該 m 位元資料。



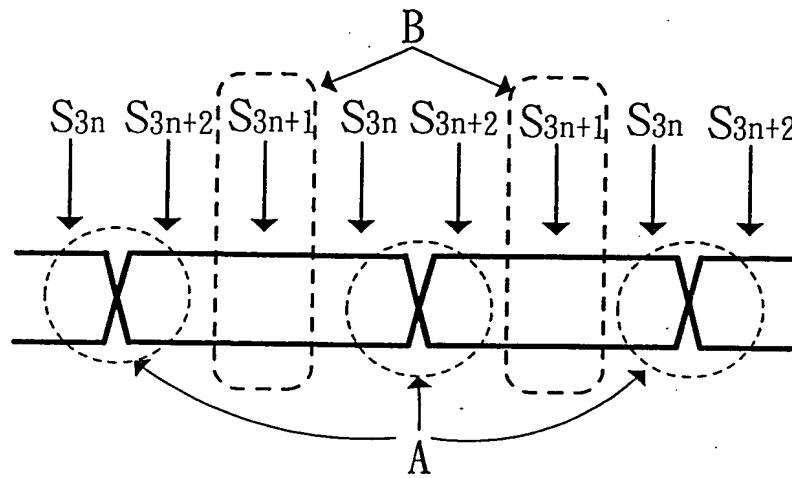
第 1 圖



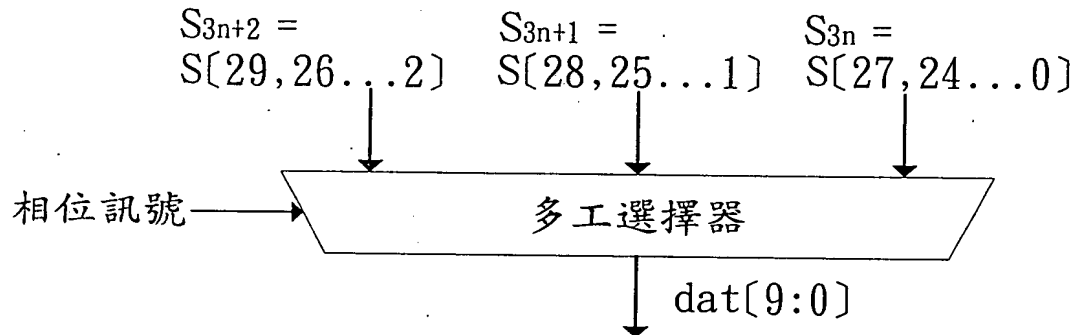
第 2 圖



第 3 圖



第 4 圖



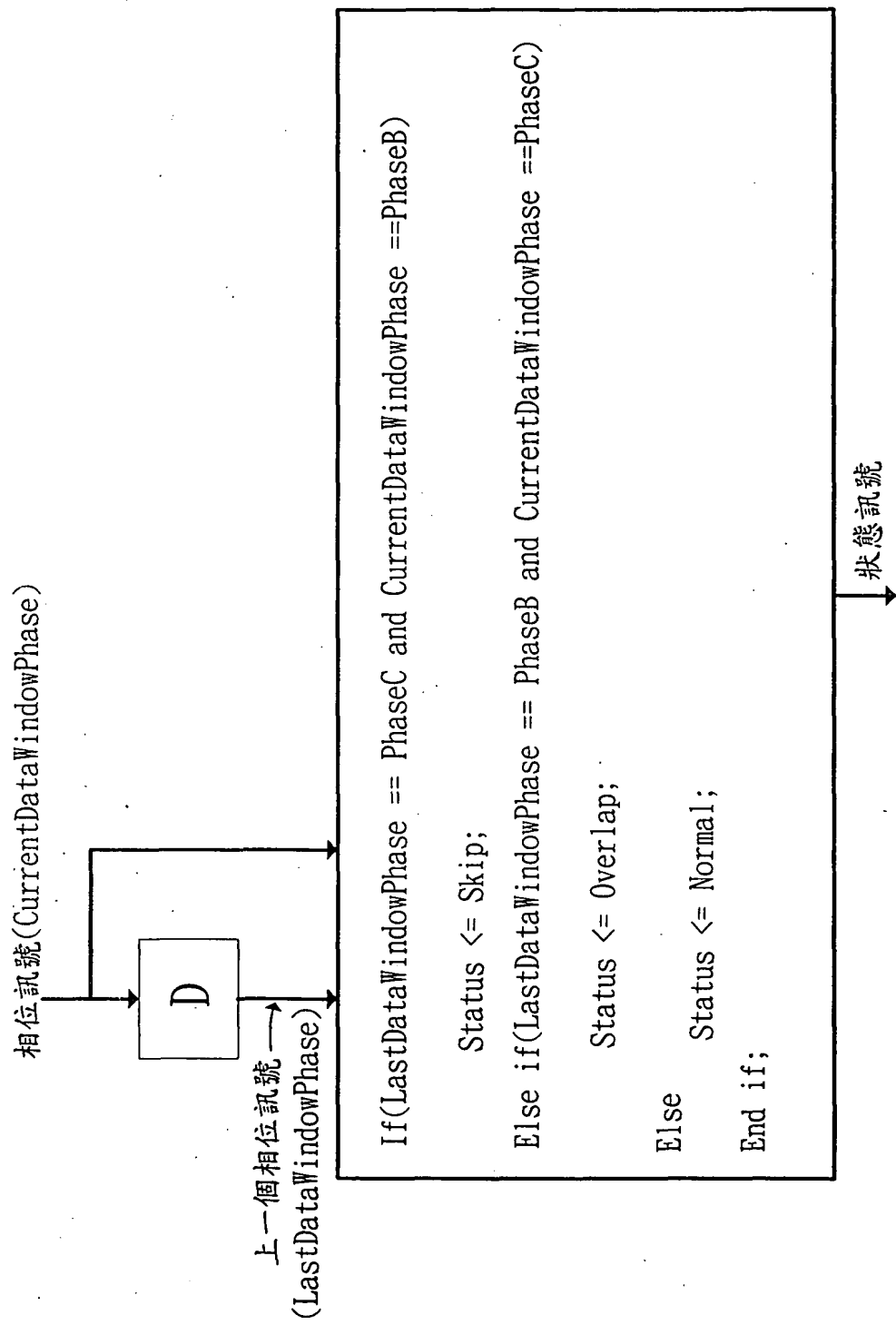
第 5 圖



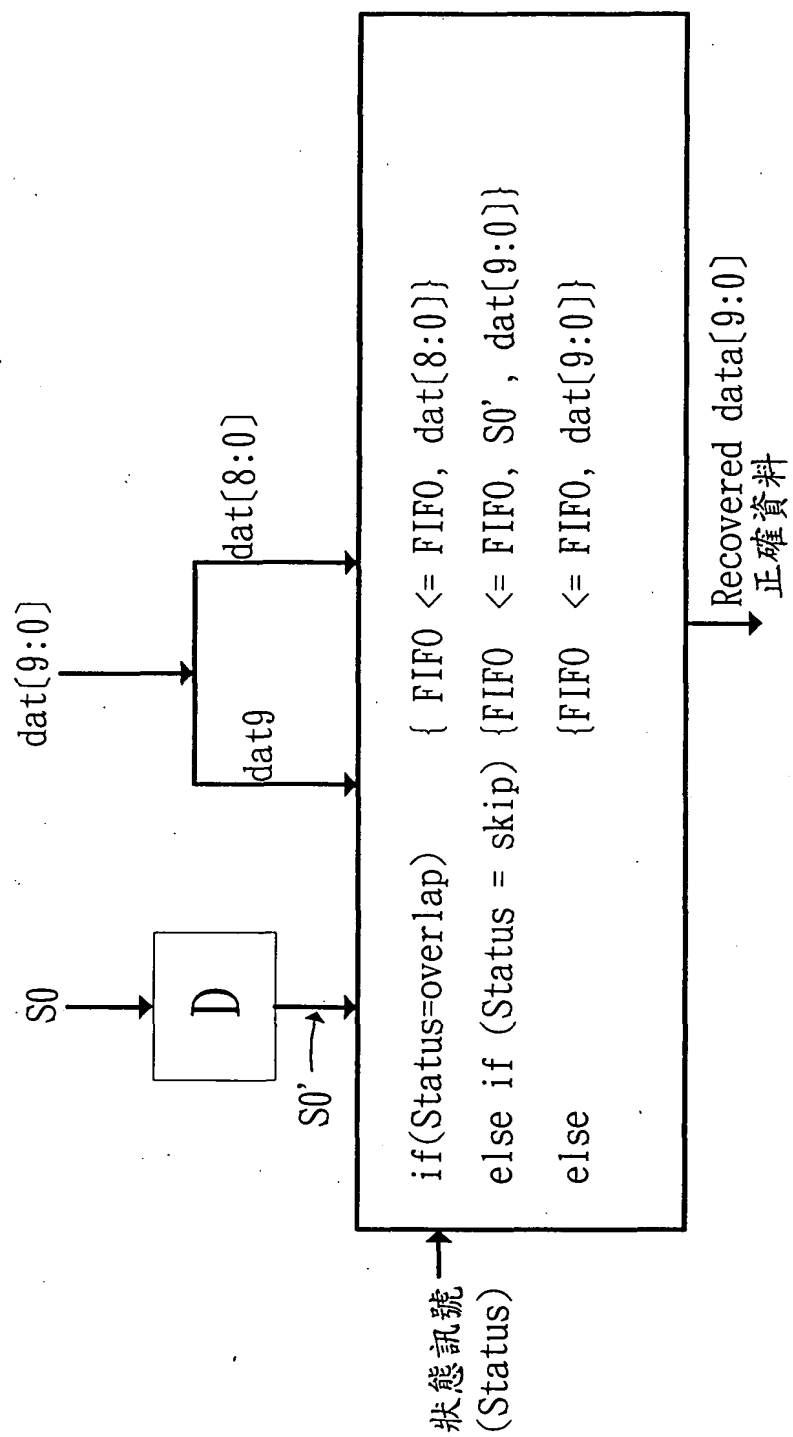
圖 6 策



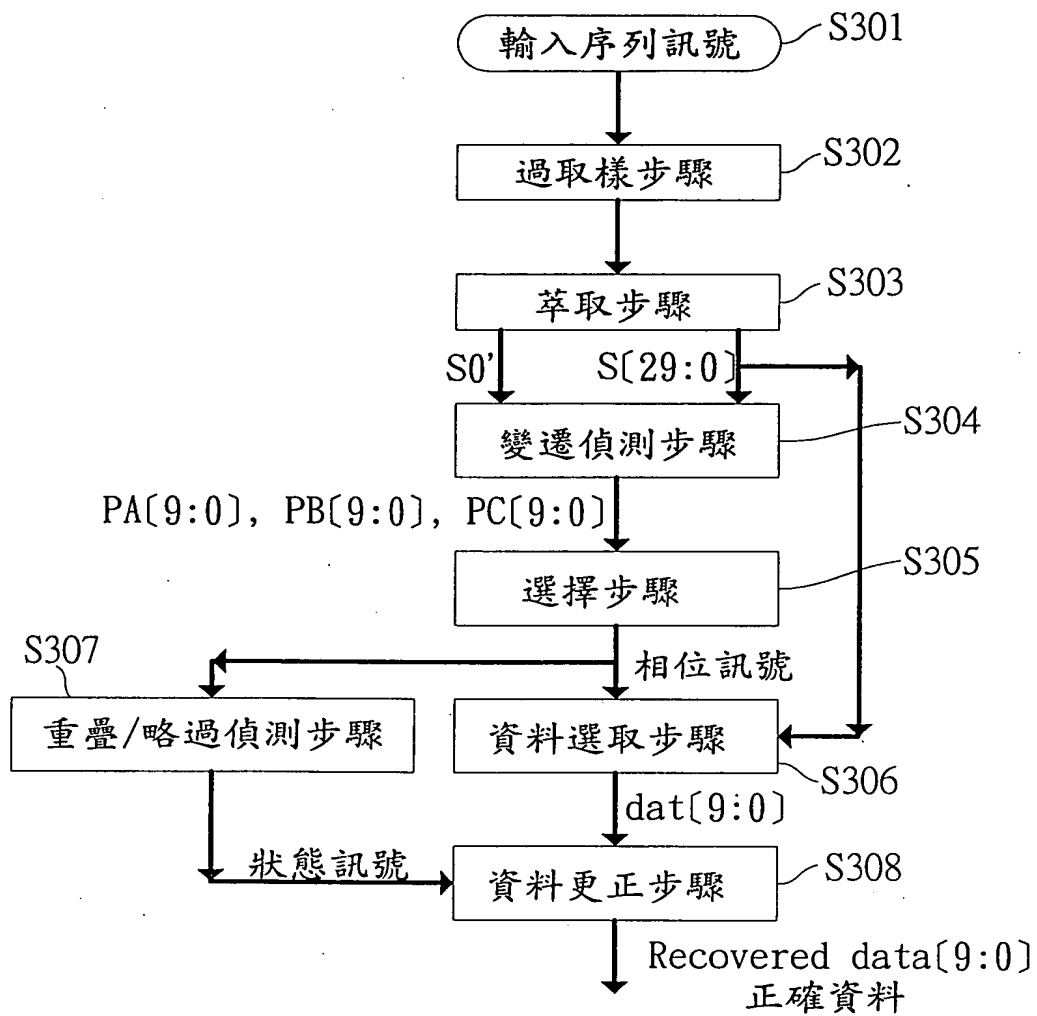
圖 7 策



第 8 圖



第 9 圖



第 10 圖